

Docket No.: 60188-745

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Takaki YOSHIDA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: January 06, 2004	:	Examiner: Unknown
	:	
For:		ERROR PORTION DETECTING METHOD AND LAYOUT METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-034859, filed February 13, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty  
Registration No. ~~26,139~~

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: January 6, 2004**

60188-745

YOSHIDA

January 6, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 1 3 日  
Date of Application:

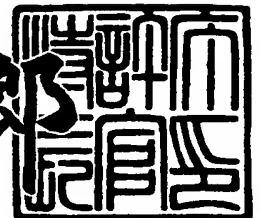
出 願 番 号                      特 願 2 0 0 3 - 0 3 4 8 5 9  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 3 4 8 5 9 ]

出      願      人                      松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年    7 月    9 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号    出証特 2 0 0 3 - 3 0 5 4 9 5 8

【書類名】 特許願

【整理番号】 5037540159

【提出日】 平成15年 2月13日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 吉田 貴輝

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体集積回路の検証方法及びレイアウト方法

【特許請求の範囲】

【請求項1】 半導体集積回路に存在するトランジスタのスイッチング時間のばらつきから、回路中の電源電圧のドロップ（降下）の起こり易い箇所を推測する半導体集積回路の検証方法。

【請求項2】 半導体集積回路の外部入力から該当トランジスタまでの信号遅延から計算したスイッチング時間のばらつきから、回路中の電源電圧のドロップの起こり易い箇所を推測する半導体集積回路の検証方法。

【請求項3】 半導体集積回路の外部入力からスキャンフリップフロップ（スキャンFF）のクロックまでの信号の遅延のばらつきから、回路中の電源電圧のドロップの起こり易い箇所を推測する半導体集積回路の検証方法。

【請求項4】 半導体集積回路のレイアウト後の各セル配置レーンに存在する、同時に動作する可能性のあるトランジスタの個数から、回路中の電源電圧のドロップの起こり易い箇所を推測する半導体集積回路の検証方法。

【請求項5】 半導体集積回路のレイアウト後の各セル配置レーンに存在するスキャンFFの個数から、回路中の電源電圧のドロップの起こり易い箇所を推測する半導体集積回路の検証方法。

【請求項6】 半導体集積回路のレイアウト後の各セル配置レーンに存在するスキャンFFの個数及びその外部入力からスキャンFFのクロックまでの信号の遅延のばらつきから、回路中の電源電圧のドロップの起こり易い箇所を推測する半導体集積回路の検証方法。

【請求項7】 半導体集積回路において、レイアウト上で電源電圧ドロップが発生しやすいマスク箇所及びセル配置レーンにおいて、同時にスイッチングする可能性の高いトランジスタをレイアウト配置上近くに配置しないような半導体集積回路のレイアウト方法。

【請求項8】 半導体集積回路において、レイアウト上で電源電圧ドロップが発生しやすいマスク箇所及びセル配置レーンにおいて、同時にクロック動作する可能性の高いスキャンFFをレイアウト配置上近くに配置しないような半導体集

積回路のレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の検証方法及びレイアウト方法に関し、特に大規模な集積回路において、クロック動作時の電力消費に伴い発生する電圧ドロップの発生しやすい箇所を容易に特定し、また、電圧ドロップの発生しやすい箇所にマスキレイアウトでの対策を行う事により、電圧ドロップの発生しにくい回路を設計する事を可能にする半導体集積回路の検証方法及びレイアウト方法に関する。

【0002】

【従来の技術】

スキャンテストにおいては、スキャン設計された回路中の各スキャンラインに対してクロックを供給する事により、信号を伝播させ、回路中に存在する故障を検出する。

【0003】

図1に示すように、スキャンラインに入力するテストパターン(103)は、一般的に回路図情報(101)からATPG(102)と呼ばれるツールにより自動で生成される。

【0004】

一般的にスキャンラインに与えられるクロックは、同一のクロックで制御され、同時に与えられ、信号も同時にスキャンライン上をシフトしていく。スキャンパターンは、回路中に取り込む信号値を設定するシフトイン、回路中に実際に信号値を取り込むキャプチャ、信号値を取り込んだ結果を外部に取り出すためのシフトアウトから成っている(図2)。

【0005】

このように同時に回路内のスキャンFFがスイッチングするため、近年の集積回路の大規模化、微細化に伴い、スキャン動作中の回路の消費電力、ノイズ、電源電圧ドロップ及び信号線間の影響と思われる誤動作が発生してきている。

【0006】

電源電圧ドロップの測定に関しては、EDAツールベンダーからいくつかのツールが提供されているが、昨今の大規模なLSIにおいて1チップレベルでダイナミックに実際の動作をシミュレーションして処理するツールは存在しない。一方、スタティックに処理するツールの場合、実際のLSIの動作を正確に処理する事ができなくて、尚且つ、この場合でも膨大な計算機リソースを必要とする（例えば特許文献1参照）。

#### 【0007】

##### 【特許文献1】

特開平7-239865号公報

#### 【0008】

##### 【発明が解決しようとする課題】

従来の技術に示す技術は、いずれも昨今の大規模なLSIにおいて1チップレベルで実際の動作をシミュレーションして処理できるものではなく、現実的には容易に現象の発生箇所を突き止め、対策を実施するのは困難である。結果的に、これらの現象を抑える対策として、1チップ全体の設計マージンを一律に大きくするとか、レイアウトの電源配線幅を不必要に大きくするなどの対応となるため、設計を難しくしたり、ゲート数やチップ面積の増大を招くという結果になっていた。よって、如何に容易に原因の発生箇所を突き止めるかが課題である。

#### 【0009】

本発明の目的は、LSIの中での動作不具合の原因となる電源電圧ドロップの発生しやすい箇所を容易に特定し、また、電圧ドロップの発生しやすい箇所にマスクレイアウトでの対策をするものである。

#### 【0010】

##### 【課題を解決するための手段】

本発明の半導体集積回路の検証方法は、LSIの外部入力からスキャンFFのクロック入力までの遅延値のばらつきやレイアウト後の各セルの配置レーンに存在するスキャンFFの個数から電源電圧ドロップの発生しやすい箇所を推測するものである。

#### 【0011】

具体的な説明を以下に示す。

### 【0012】

図3には、あるテスト回路（図20）での外部入力から全スキャンFFのクロックまでの遅延分布を示している。このように、本来同一に動作すべきクロックであっても、実際は様々な遅延により、時間差をもって動作している。特に電源電圧が高い方が、遅延ばらつきは小さくなる。

### 【0013】

表1は、各電源電圧でのスキャンFFに信号を供給する大元のバッファ（図20の網掛け）の電源電圧ドロップの値を測定した結果である。電源電圧が高い方が、電源電圧ドロップは大きい事がわかる。

### 【0014】

【表1】

電源電圧ドロップ値の電源電圧依存性

Power Supply Voltage (V)	Scan chain A		Scan chain B		Scan chain C		Scan chain D	
	Buffer		Buffer		Buffer		Buffer	
	2_0	2_1	2_0	2_1	2_0	2_1	2_0	2_1
1.52	170	170	180	180	170	150	200	180
1.8	240	240	250	250	240	200	280	250
2.15	290	290	300	300	290	240	330	300

### 【0015】

図4には、物理的なレイアウトの模式図を示しているが、このように電源に挟まれるようにセルの配置レーンが存在し、ここに例えばスキャンFFのようなセルが配置されるのが一般的である。

### 【0016】

表2には、表1で示したバッファの存在するレイアウト上でのレーン番号及び同一レーンにレイアウトされたスキャンFFの数と外部入力からクロックまでの遅延分布を示している。

### 【0017】



【表 2】

各バッファを起点としたスキャンフリップフロップの外部入力からクロック入力までの遅延の平均値からの標準偏差及び各バッファの物理的なレイアウト位置(レーン番号)と各レーンに存在するFF数

	Power Supply Voltage (V)	Scan chain A		Scan chain B		Scan chain C		Scan chain D	
		Buffer		Buffer		Buffer		Buffer	
		2_0	2_1	2_0	2_1	2_0	2_1	2_0	2_1
	1.52	0.028	0.028	0.023	0.023	0.028	0.033	0.020	0.023
	1.8	0.018	0.018	0.015	0.015	0.018	0.022	0.012	0.015
	2.15	0.011	0.011	0.010	0.010	0.011	0.014	0.008	0.010
レーン番号		29	29	12	12	29	9	23	12
各レーンに存在するFF数		20	20	23	23	20	20	22	23

## 【0018】

このように、同一レーン上では電源電圧ドロップは一定となる。また、表1と合わせて見ると、同一レーンに存在するスキャンFFの遅延ばらつきが小さい程、電源電圧ドロップ値は大きくなる事がわかる。つまり、これは遅延ばらつきが小さい程、それだけスキャンFFが同時に動作する可能性が高くなるためだと推測される。このように、スキャンFFの同時動作する可能性が電源電圧ドロップ値に影響しており、つまり、電源電圧ドロップ値は同一レーン上にスキャンFFの数にも影響される。

## 【0019】

このように、本発明の半導体集積回路の検証方法は、LSIの外部入力からスキャンFFのクロック入力までの遅延値のばらつきやレイアウト後の各セルの配置レーンに存在するスキャンFFの個数から容易に電源電圧ドロップの発生しやすい箇所を推測するものである。

## 【0020】

また、電源電圧ドロップの発生しやすい箇所が推測できれば、電圧ドロップに影響しているスキャンFFをマスクレイアウト上で近くに配置しないように散らばすとか、局所的に電源を強化する等のマスクレイアウトでの対策を施す事により電源電圧ドロップを抑えるものである。

## 【0021】

これまでスキャンテストに関する説明を中心に行ったが、本発明では、スキャンテストだけでなく、同様にクロック同期の回路を始めとして、回路中で本来同時動作すべき回路がある場合に、外部入力から該当トランジスタまでの遅延ばらつきやレイアウト上の同一レーンにどれだけ該当トランジスタが存在するかによって、トランジスタがどれだけ同時動作する可能性があるかを推測し、電源電圧ドロップの発生しやすい箇所を推測し、さらにマスキレイアウトで対策をする事は可能である。

#### 【0022】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて説明する。

#### 【0023】

##### (実施の形態1)

図5～図9は、本発明の第一の実施の形態を説明するものである。

#### 【0024】

図5にインバータ回路の例を示している。この例では、入力信号がHighからLowにスイッチング（変化）する場合を示しているが、この場合、PchのトランジスタがONする事により、電流が流れ、容量が充電される。この際、電源線を電流が流れる事により、電源線の抵抗成分及びインダクタンス成分により電源線の電圧が変動し、電圧ドロップが発生する。

#### 【0025】

複数のトランジスタが同時にスイッチングすれば、電源線の電圧変動は大きくなり、電圧ドロップも大きくなる。特にLSIの中でマスキレイアウト上で近くに存在するトランジスタが同時にスイッチングする場合は、この傾向はより大きくなる。

#### 【0026】

図6は、回路中のトランジスタのスイッチング時間を模式化した図である。この例ではトランジスタA～Fは、同時にスイッチングするように設計されるのであるが、マスキレイアウト後のLSIにおいては、時刻TでトランジスタA、B、Cは同時にスイッチングしているが、D、E、Fは同時にはスイッチングせず

、スイッチングする時間がばらついている。

【0027】

本発明の第一の実施の形態は、回路に存在するトランジスタのスイッチング時間のばらつきから、回路中の電源電圧のドロップの起こり易い箇所を推測するものである。

【0028】

例えば図4に物理的なレイアウト模式図の例を示したが、あるレーンにトランジスタA、B、Cが、また、他のレーンにD、E、Fが存在しているとする前者のレーンの方が電源電圧ドロップは大きくなる。

【0029】

あるいは、LSIが図7に示すような3つのブロックに別れていたとするとそれぞれのブロックに存在するトランジスタのスイッチング時間のばらつきから、電源電圧のドロップのしやすいブロックを特定する事が可能である。

【0030】

スイッチング時間のばらつきについては、実測したスイッチング時間を統計処理して、例えば標準偏差を求める事により、ばらつきの程度を判断する。図8にターゲットとするトランジスタのスイッチング時間の標準偏差＝aでの分布、図9に他のターゲットとするトランジスタのスイッチング時間の標準偏差＝bでの分布を示している。標準偏差が $a > b$ となるが、この場合、bの方が、ばらつきは小さくなり、つまり電源電圧降下が大きいと判断する。

【0031】

このように回路中に存在するトランジスタのスイッチング時間を統計処理して、そのばらつきを定量化して判断基準とする事により、LSIの中での動作不具合の原因となる電源電圧ドロップの発生しやすい箇所を容易に特定する事が可能になる。

【0032】

(実施の形態2)

図10～図11は、本発明の第二の実施の形態を説明するものである。

【0033】

トランジスタのスイッチング時間は、LSIの外部入力から該当トランジスタまでの信号遅延時間から推測できる。図10にLSI外部からトランジスタの入力までの信号遅延時間を模式化した図を示している。この例では本来トランジスタA～Fは、同時にスイッチングするように設計されるのであるが、マスクレイアウト後のLSIにおいては、それぞれ個別の遅延を持つ事になる。結果的に、この例では、トランジスタA、B、Cはほぼ同時にスイッチングする可能性が高いが、D、E、Fは同時にはスイッチングせず、スイッチングする時間がばらつく可能性が高い。

#### 【0034】

本発明の第一の実施の形態は回路中のトランジスタのスイッチング時間をベースとしたものであるが、本発明の第二の実施の形態は、そのトランジスタのスイッチング時間を推測可能なLSIの外部入力から該当トランジスタまでの信号遅延をベースにしており、その信号遅延から推測したスイッチング時間のばらつきから、回路中の電源電圧のドロップの起こり易い箇所を推測するものである。

#### 【0035】

図11に処理のフロー図を示しているが、具体的には、スイッチング時間の実測が無くても、該当トランジスタ情報を含む回路情報(1101)とレイアウト後の遅延情報(1102)から回路中のトランジスタのスイッチング時間のばらつきを計算(1103)し、電源電圧ドロップの起こりやすさを推定する(1104)。特に従来 of 論理検証のみならず、静的タイミング解析を使う事により、高速に遅延ばらつきを計算する事ができる。どのトランジスタのばらつきを統計処理するかについては、外部から情報を与える(1105)。例えば、マスクレイアウトのレーンごとのトランジスタの遅延ばらつきとか、回路中のブロック単位でのトランジスタの遅延ばらつきとかの計算を行う該当トランジスタの情報を与える。

#### 【0036】

ばらつきそのものの処理は、実施形態1と同様に信号遅延を統計処理して、例えば標準偏差を求める事により、判断する。

#### 【0037】

(実施の形態 3)

図 12～図 13 は、本発明の第三の実施の形態を説明するものである。

【0038】

スキャンテストにおいては、回路内のスキャン FF は同時にスイッチングするように設計される。図 12 は、LSI 外部からスキャン FF の入力までの信号遅延時間を模式化した図である。このようにクロックツリーシンセシス (CTS) バッファやインバーターによって遅延調整したり、マスキレイアウト上で遅延調整をし、最終的に LSI の外部入力から各スキャン FF のクロックまでの遅延が合わせ込まれる。ところが、実際の外部入力から各スキャン FF のクロックまでの遅延は、A～F のようにばらついており、前述の課題を解決する手段の図 3 で示したように分布をもっている。電源電圧ドロップは、遅延ばらつきの大きさに依存する。

【0039】

本発明の第三の実施の形態は、LSI の外部入力からスキャン FF のクロックまでの信号の遅延のばらつきから、回路中の電源電圧のドロップの起こり易い箇所を推測する手法である。

【0040】

図 13 に処理のフロー図を示しているが、具体的には、該当スキャン FF の情報を含む回路情報 (1301) とレイアウト後の遅延情報 (1302) から回路中のスキャン FF の同時動作時間のばらつきを計算 (1303) し、電源電圧ドロップの起こりやすさを推定する (1304)。特に従来の論理検証のみならず、静的タイミング解析を使う事により、高速に遅延及びばらつきを計算することができる。

【0041】

どのスキャン FF のばらつきを統計処理するかについては、外部から情報を与える (1305)。

【0042】

例えば、マスキレイアウトのレーンごとにレイアウトされたスキャン FF の遅延ばらつきとか、回路中のブロック単位でのスキャン FF の遅延ばらつきとかの

ように、計算を行う該当スキャンFFの情報を与える。

【0043】

ばらつきそのものの処理は、実施形態1と同様に信号遅延を統計処理して、例えば標準偏差を求める事により、判断する。

【0044】

本手法を用いる事により、昨今スキャンテスト時に動作不具合の原因となっていて電圧ドロップの発生箇所を容易に特定する事が可能になる。

【0045】

(実施の形態4)

図14は、本発明の第四の実施の形態を説明するものである。

【0046】

これまで本発明の第一～第三の実施の形態について説明してきたが、これらは、トランジスタやスキャンFFが同時に動作する可能性(確率)によって電源電圧ドロップの発生箇所を特定する手法を示した。

【0047】

電源電圧ドロップは、実際に同時に動作するトランジスタやスキャンFFの数にも影響される。例えば、図14に示すように、マスキレイアウト上で複数のレーン(例えば、AレーンとBレーン)に配置されていて、本来同時動作を期待されているトランジスタの遅延ばらつきが同じであるとする。仮にAレーンにはそのトランジスタが1000個、Bレーンに750個のトランジスタが配置されているとAレーンの方が電源電圧ドロップは発生しやすい。このように第四の実施の形態は、レイアウト後の各セル配置レーンに存在するトランジスタの個数から、回路中の電源電圧のドロップの起こり易い箇所を推測するものである。

【0048】

(実施の形態5)

図15は、本発明の第五の実施の形態を説明するものである。

【0049】

第五の実施の形態は、第四の実施の形態に対して、スキャンFFに焦点を当てた電源電圧ドロップの発生箇所を推測する手法である。例えば、図15に示すよ

うに、マスクレイアウト上で複数のレーン（例えば、AレーンとBレーン）に配置されているスキャンFFの遅延ばらつきが同じであるとする。仮にAレーンには同時動作を期待されるスキャンFFが100個、Bレーンに75個配置されているとAレーンの方が電源電圧ドロップは発生しやすい。このように第五の実施の形態は、レイアウト後の各セル配置レーンに存在するスキャンFFの個数から、回路中の電源電圧のドロップの起こり易い箇所を推測するものである。

#### 【0050】

（実施の形態6）

図16～図17は、本発明の第六の実施の形態を説明するものである。

#### 【0051】

第六の実施の形態は、第一～第三の実施の形態であるトランジスタやスキャンFFが同時に動作する可能性（確率）と第四、第五の実施の形態であるマスクレイアウト上の各レーン上に存在して、同時動作を期待されているトランジスタやスキャンFFの個数の2つの条件を合わせた手法である。

#### 【0052】

図16に処理のフロー図を示しているが、具体的には、該当スキャンFFの情報を含む回路情報（1601）とレイアウト後の遅延情報（1602）から回路中のスキャンFFの同時動作時間のばらつきを計算し、さらにマスクレイアウトの情報による各レーンに配置された同時変化を期待されるスキャンFFの数から計算を行い（1603）、電源電圧ドロップの起こりやすさを推定する（1604）。どのスキャンFFのばらつきを統計処理するかについては、外部から情報を与える（1605）。

#### 【0053】

例えば、マスクレイアウトのレーンごとにレイアウトされたスキャンFFの遅延ばらつきとか、回路中のブロック単位でのスキャンFFの遅延ばらつきとかの、具体的に計算を行う該当スキャンFFの情報を与える。

#### 【0054】

図17には、遅延ばらつきとスキャンFFの個数を合わせた手法の一例を示す。この図は、LSI外部からスキャンFFのクロック入力までの信号遅延時間の

ばらつきを示した図である。ここで、ばらつきが指定値＝Xの範囲内に該当のスキランFFが何個存在するかで、回路中の電源電圧のドロップの起こり易い箇所を推測するものである。本手法は、このように遅延ばらつきとスキランFFの個数を合わせた手法であり、より精度よくスキランテスト時に動作不具合の原因となってきた電圧ドロップの発生箇所を特定する事が可能になる。

#### 【0055】

上記は、スキランFFについて説明をしたが、トランジスタというレベルでも本手法は適用可能である。

#### 【0056】

(実施の形態7)

図18は、第七の実施の形態を説明するものである。

#### 【0057】

これまでLSIの回路中で電源電圧ドロップの発生しやすい箇所を推測する手法を中心に述べてきたが、第七の実施の形態は、レイアウト上で電源電圧ドロップが発生しやすいマスク箇所及びセル配置レーンにおいて、同時にスイッチングする可能性の高いトランジスタをレイアウト的に近くに配置しないような半導体集積回路のレイアウト方法に関する。

#### 【0058】

レイアウトした後に結果的に電源電圧ドロップしやすい箇所をレイアウト修正する場合と最初から電源電圧ドロップを起こさないようにレイアウトする場合の2通りがある。

#### 【0059】

図18にレイアウトした後に結果的に電源電圧ドロップしやすい箇所をレイアウト修正する手法について示している。Aレーンに絡む電源電圧がドロップしやすい場合であるが、この場合、AレーンのトランジスタをDレーンのトランジスタと交換する(1801)とかで、Aレーンもしくは、近くのレーンにかたまらないようにばらすようにする。もし仮にAレーンの中で電源電圧ドロップにばらつきがある場合は、レーン内でばらすとかも有り得る(1802)。一般的な手法として近傍の電源のみ強化する場合も有り得る(1803)。



## 【0060】

また、最初から電源電圧ドロップを起こさないようにレイアウトする場合としては、例えば図17に示したようにレイアウトする際に遅延ばらつきが±Xの範囲におけるトランジスタの個数が指定した範囲以内になるように、レイアウト装置に条件を与え、レイアウトするとかである。

## 【0061】

(実施の形態8)

図19は、第八の実施の形態を説明するものである。

## 【0062】

第八の実施の形態は、第七の実施の形態に対して、スキャンFFに焦点を当てたものであり、電源電圧ドロップの発生しやすいマスク箇所及びセル配置レーンにおいて、同時にクロック動作する可能性の高いスキャンFFをレイアウト的に近くに配置しないような半導体集積回路のレイアウト方法である。

## 【0063】

第七の実施の形態と同様に、レイアウトした後に結果的に電源電圧ドロップしやすい箇所をレイアウト修正する場合と最初から電源電圧ドロップを起こさないようにレイアウトする場合の2通りがある。

## 【0064】

図19にレイアウトした後に結果的に電源電圧ドロップしやすい箇所をレイアウト修正する手法について示している。Aレーンに絡む電源電圧がドロップしやすい場合であるが、この場合、AレーンのスキャンFFをDレーンのセルと交換する(1901)とかで、Aレーンもしくは、近くのレーンに同時動作しやすいスキャンFFがかたまらないようにばらすようにする。もし仮にAレーンの中で電源電圧ドロップにばらつきがある場合は、レーン内でばらすとかも有り得る(1902)。一般的な手法として近傍の電源のみ強化する場合も有り得る(1903)。

## 【0065】

また、最初から電源電圧ドロップを起こさないようにレイアウトする場合としては、実施の形態7と同様である。

**【0066】**

このようにスキャンテストにおいて電源電圧ドロップによって不具合を起こしやすいマスキレイアウト箇所を対策する事により、電源電圧ドロップを起こりにくくし、最終的には品質の高い安定したテストを行う事が可能になる。

**【0067】****【発明の効果】**

以上のように本発明によれば、半導体集積回路特に大規模な集積回路において、クロック動作時に発生する電源電圧ドロップの発生しやすい箇所を容易に特定し、また、電圧ドロップの発生しやすい箇所にマスキレイアウトでの対策を行う事により、電圧ドロップの発生しにくい回路を設計する事を可能にし、さらには、効率的かつ高精度でテストを行うことが可能になる。

**【図面の簡単な説明】****【図1】**

従来のATPGによりスキャンパターンを自動生成するフローチャート

**【図2】**

従来のスキャンテストの手法を示す図

**【図3】**

本発明が課題を解決するための手段としている検証方法を説明するための、外部入力から全スキャンFFのクロックまでの遅延分布を示す図

**【図4】**

本発明が課題を解決するための手段としている検証方法を説明するための、物理的なレイアウト模式図

**【図5】**

本発明の実施の形態1におけるトランジスタのスイッチングによる電圧ドロップを示す図

**【図6】**

本発明の実施の形態1における回路中のトランジスタのスイッチング時間を模式化した図

**【図7】**

本発明の実施の形態 1 における L S I のレイアウトブロック例を示す図

【図 8】

本発明の実施の形態 1 における標準偏差 = a でのスイッチング時間のばらつきを示す図

【図 9】

本発明の実施の形態 1 における標準偏差 = b でのスイッチング時間のばらつきを示す図

【図 10】

本発明の実施の形態 2 における L S I 外部からトランジスタの入力までの信号遅延時間を模式化した図

【図 11】

本発明の実施の形態 2 における L S I 外部からトランジスタの入力までの信号遅延時間から電源電圧ドロップを推測するフロー図

【図 12】

本発明の実施の形態 3 における L S I 外部からスキャン F F の入力までの信号遅延時間を模式化した図

【図 13】

本発明の実施の形態 3 における L S I 外部からスキャン F F の入力までの信号遅延時間から電源電圧ドロップを推測するフロー図

【図 14】

本発明の実施の形態 4 におけるマスクレイアウト上で同時動作するトランジスタを説明する図

【図 15】

本発明の実施の形態 5 におけるマスクレイアウト上で同時動作するスキャン F F を説明する図

【図 16】

本発明の実施の形態 6 における L S I 外部からスキャン F F の入力までの信号遅延時間から電源電圧ドロップを推測するフロー図

【図 17】

本発明の実施の形態6におけるLSI外部からスキャンFFの入力までの信号遅延時間のばらつきを示す図

【図18】

本発明の実施の形態7におけるレイアウトにおいて電源電圧降ドロップを発生しやすい箇所の対策を説明する図

【図19】

本発明の実施の形態8におけるレイアウトにおいてスキャンテスト時に電源電圧ドロップを発生しやすい箇所の対策を説明する図

【図20】

本発明が課題を解決するための手段としている検証方法を説明するための、テスト回路を示す図

【符号の説明】

101、1101、1301、1601 回路情報

102 ATPG

103 テストパターン

1102、1302、1602 遅延情報

1103、1303 該当トランジスタの統計処理

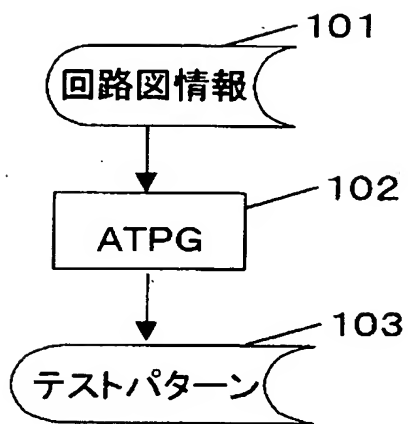
1104、1304、1604 電源電圧ドロップの起こりやすさ

1105、1305、1605 該当トランジスタ情報

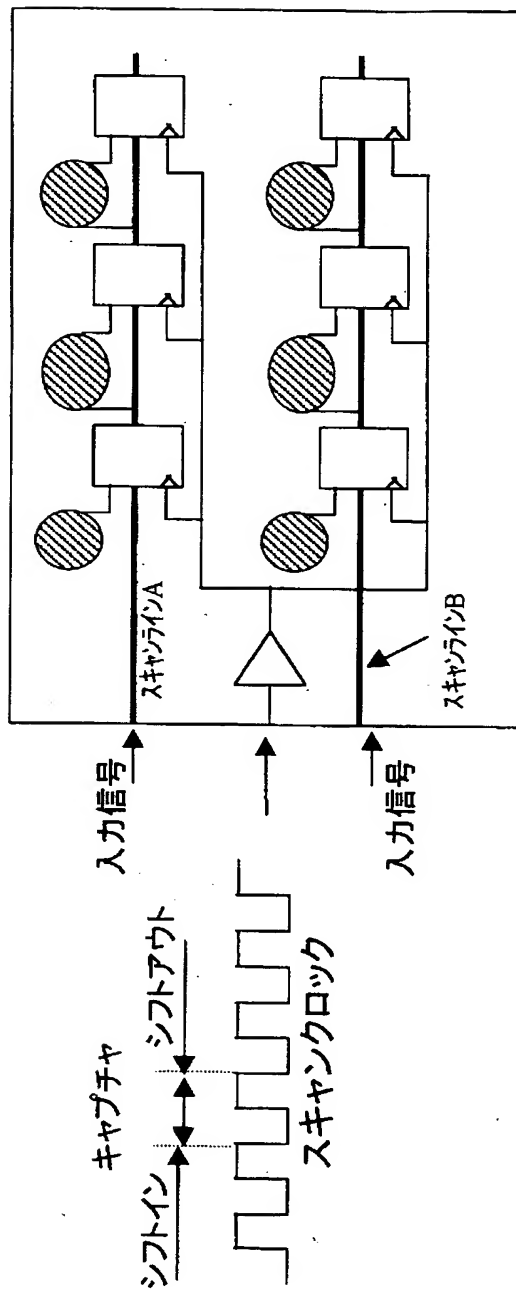
1603 該当スキャンFFの統計処理+同時スキャンFF数による計算

【書類名】 図面

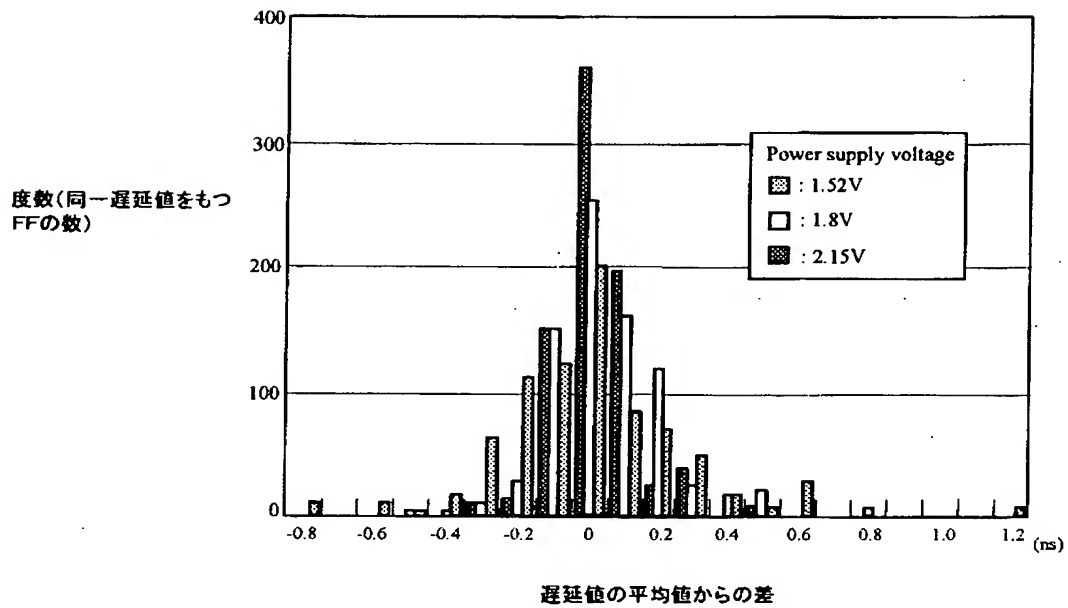
【図 1】



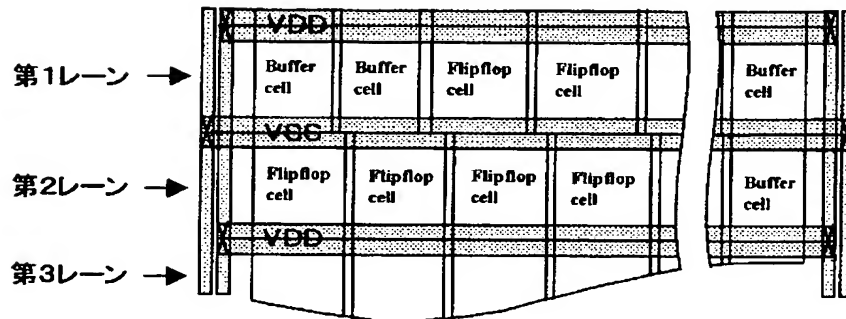
【図 2】



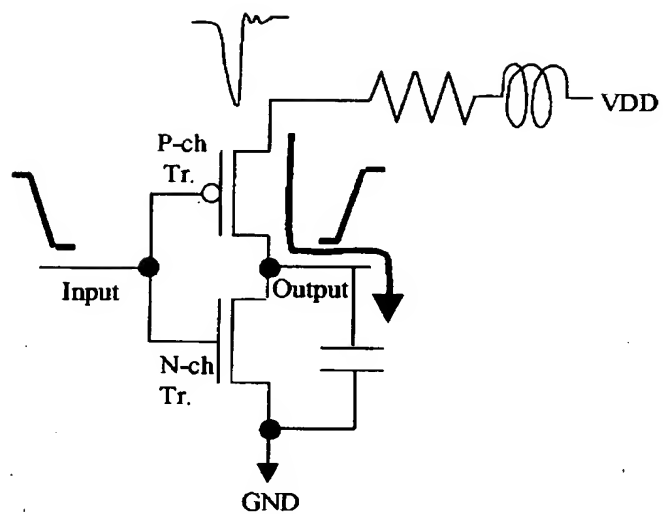
【図 3】



【図 4】

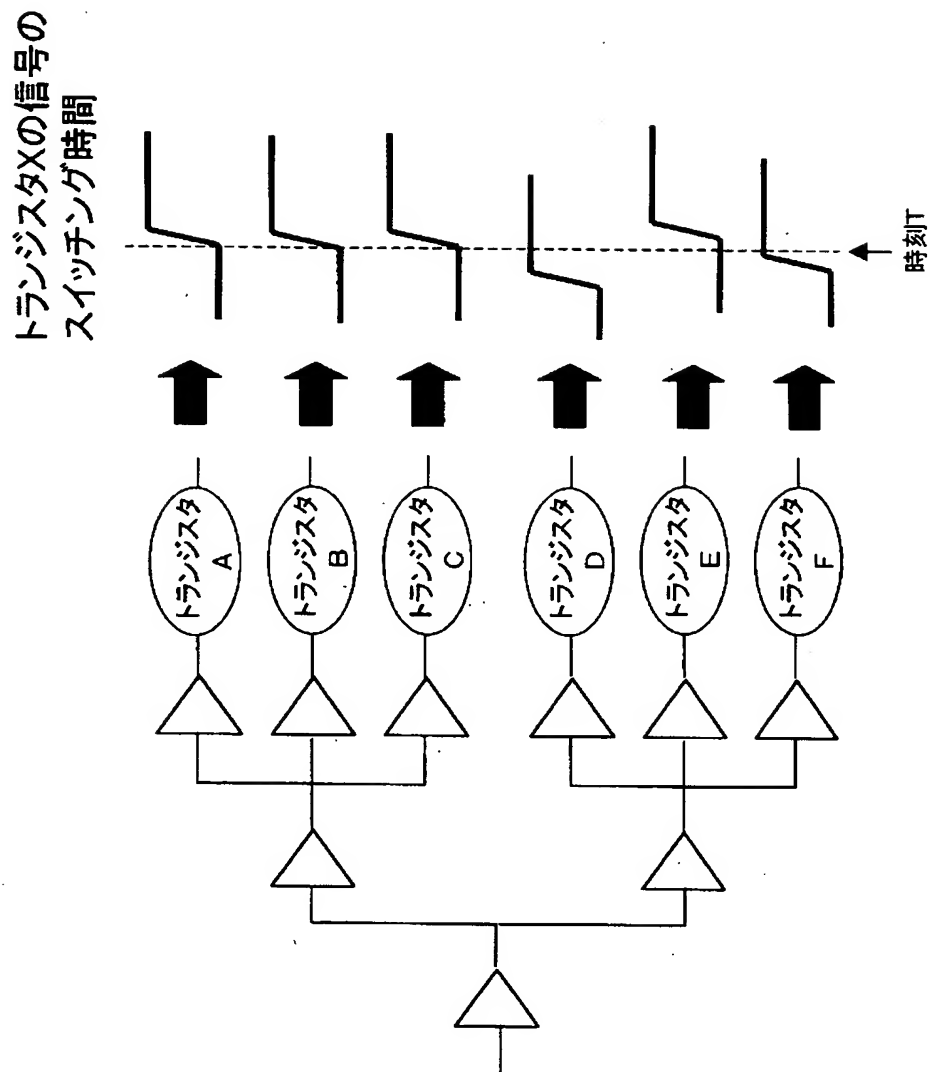


【図 5】

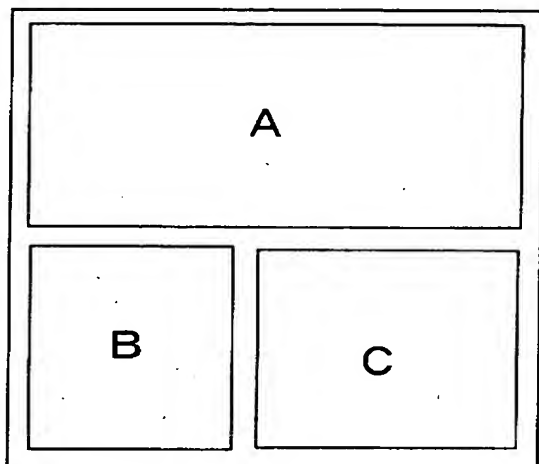




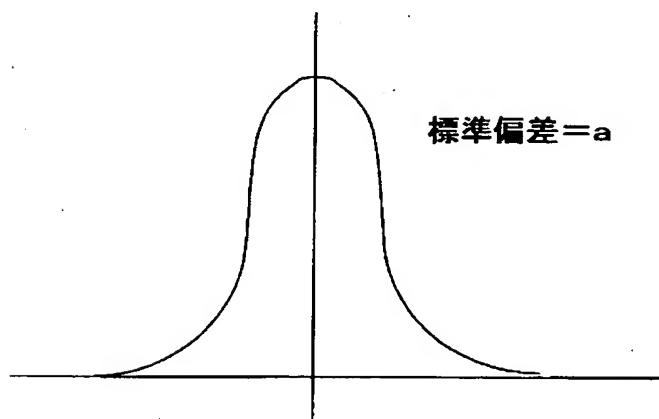
【図6】



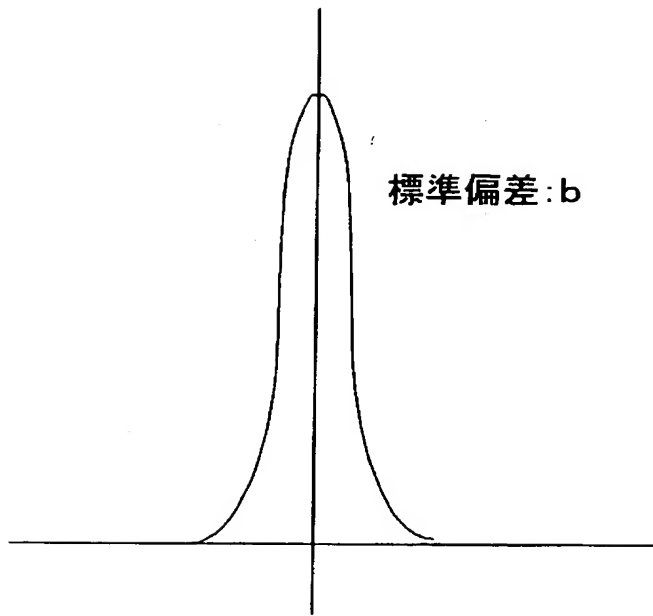
【図 7】



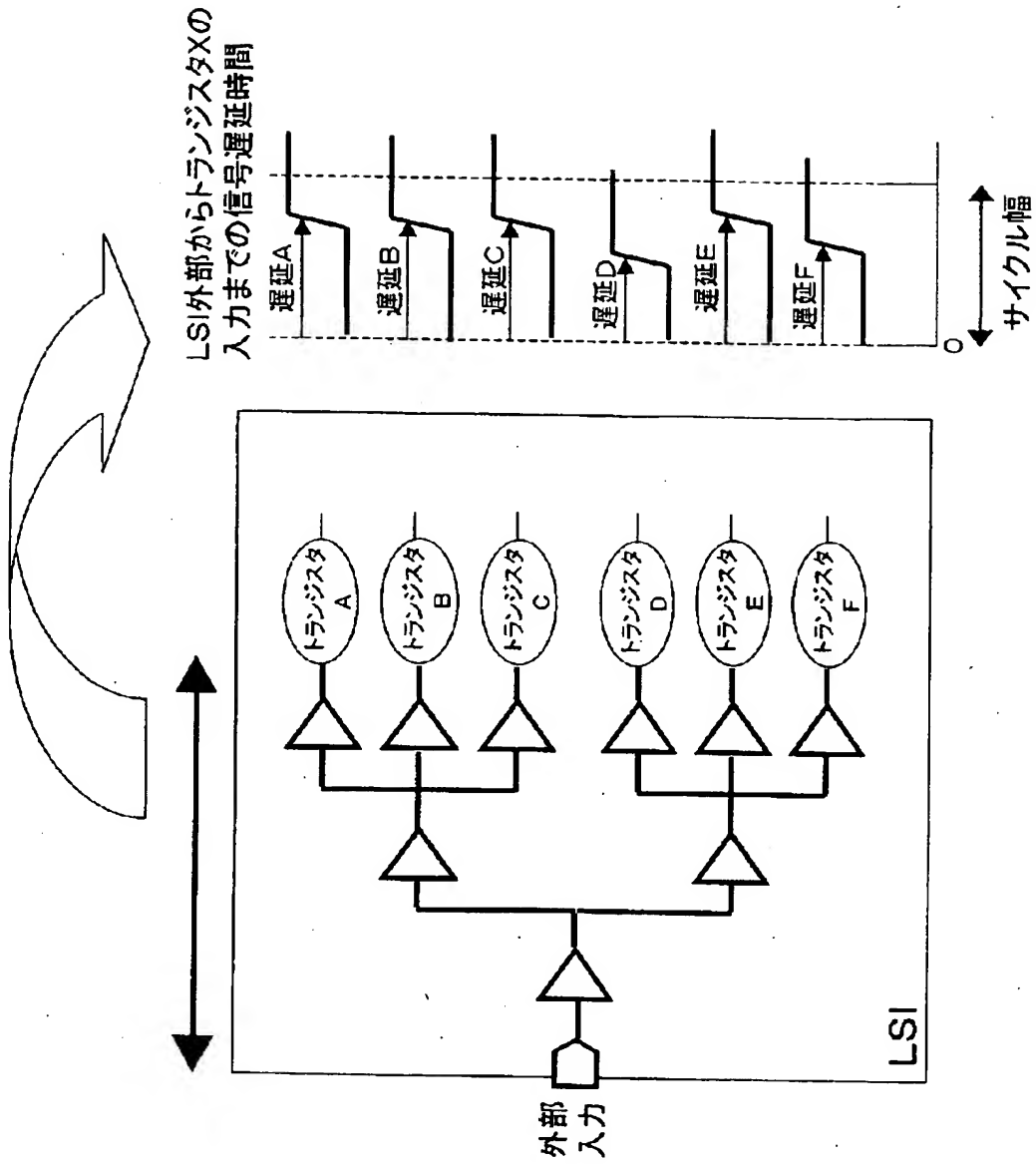
【図 8】



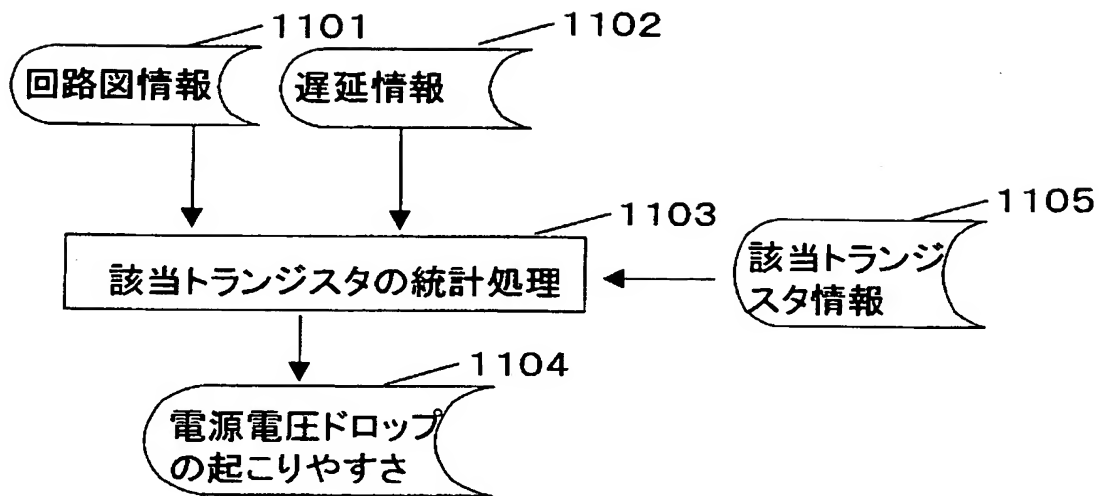
【図 9】



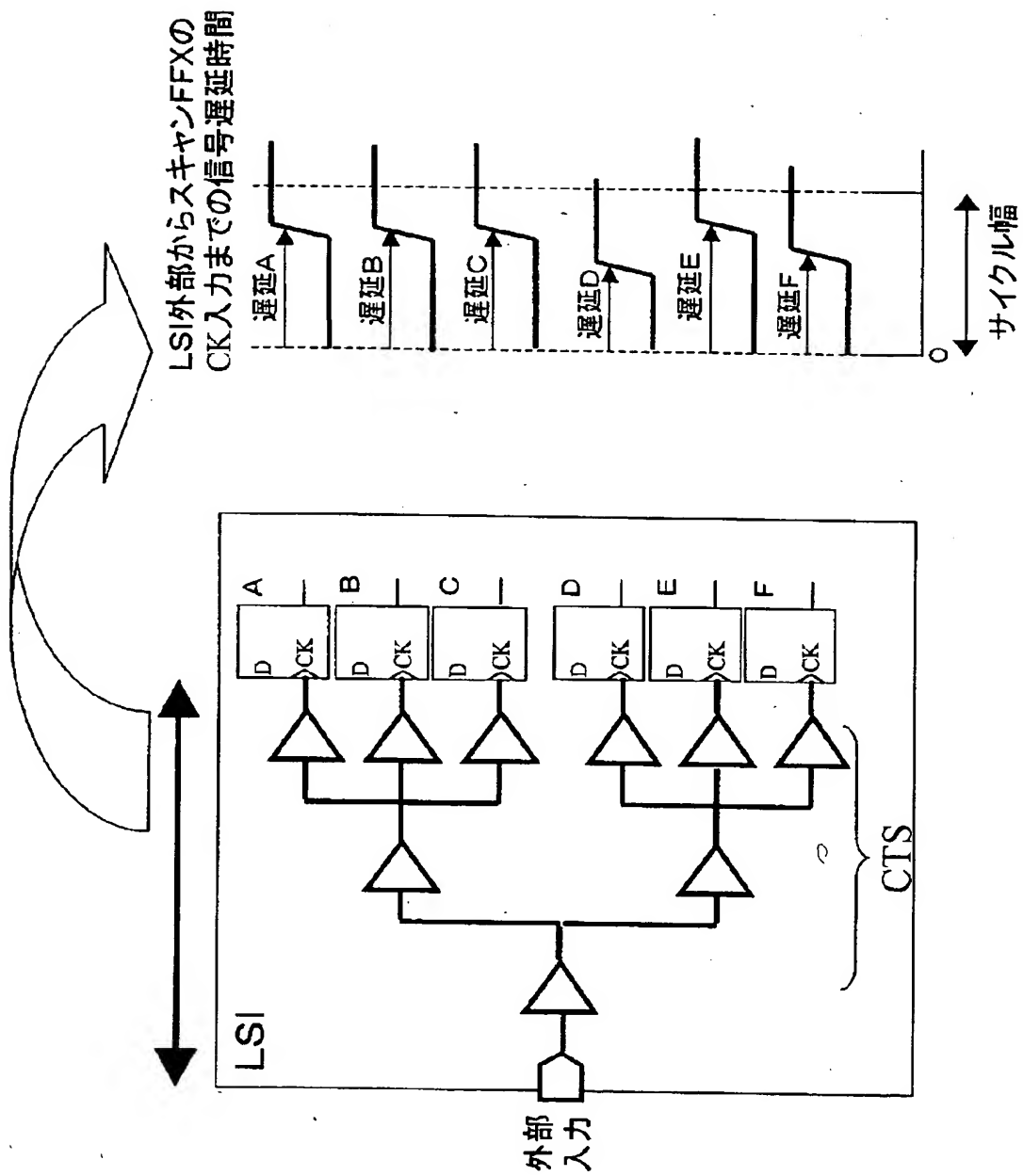
【図10】



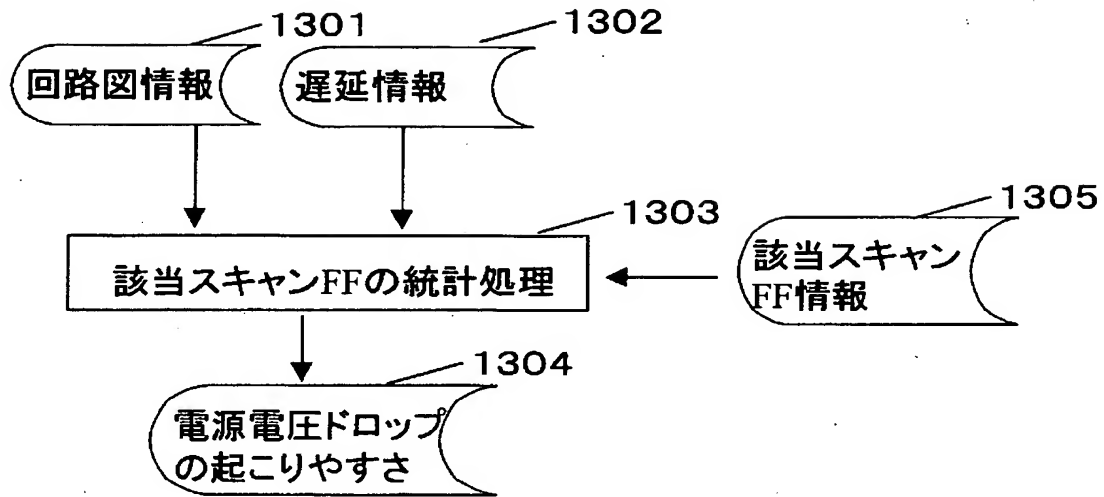
【図 11】



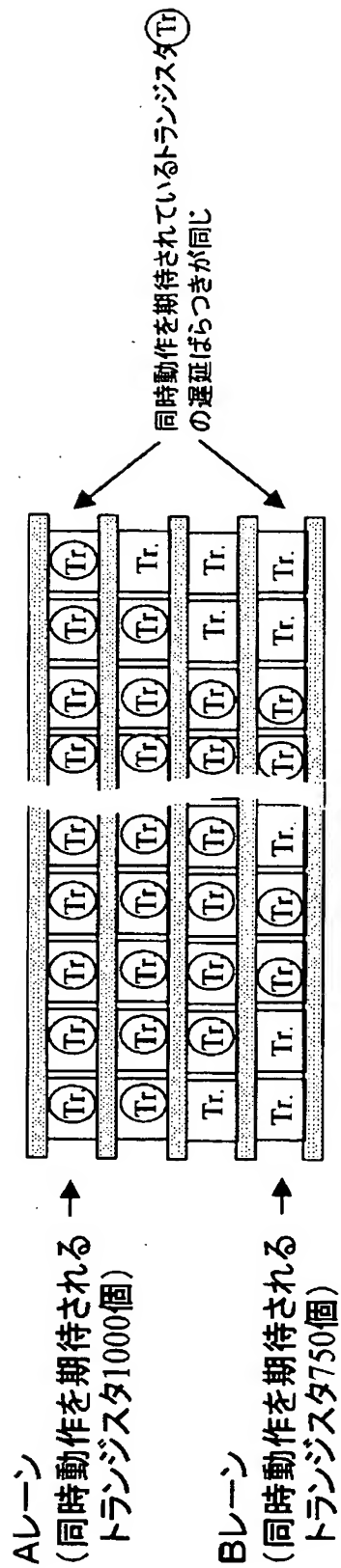
【図12】



【図13】

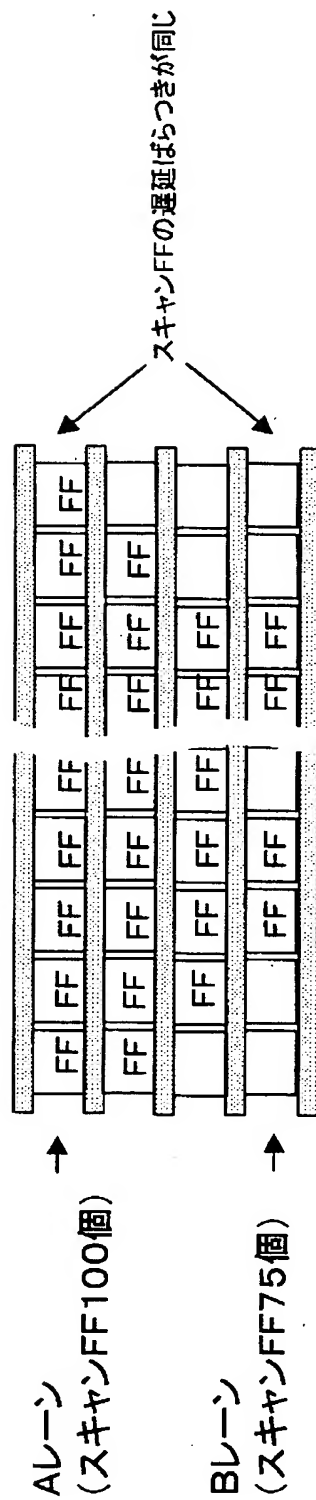


【図 14】

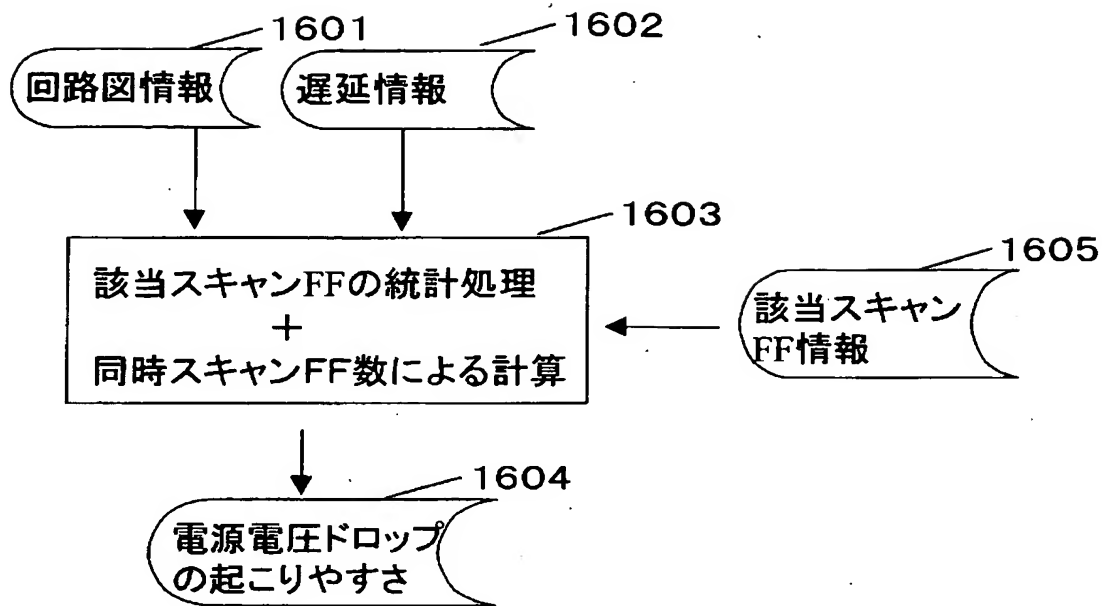




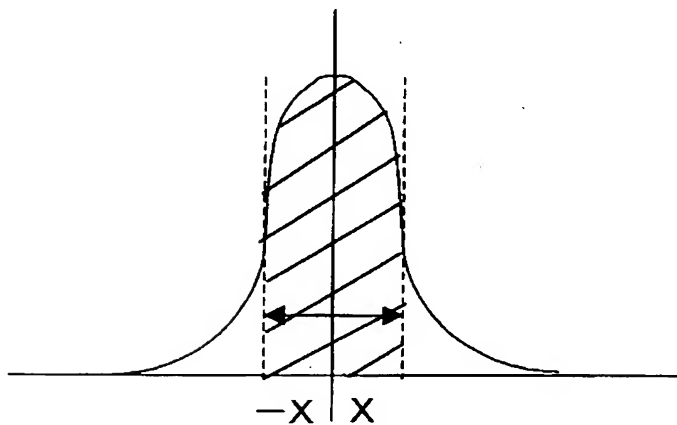
【図 15】



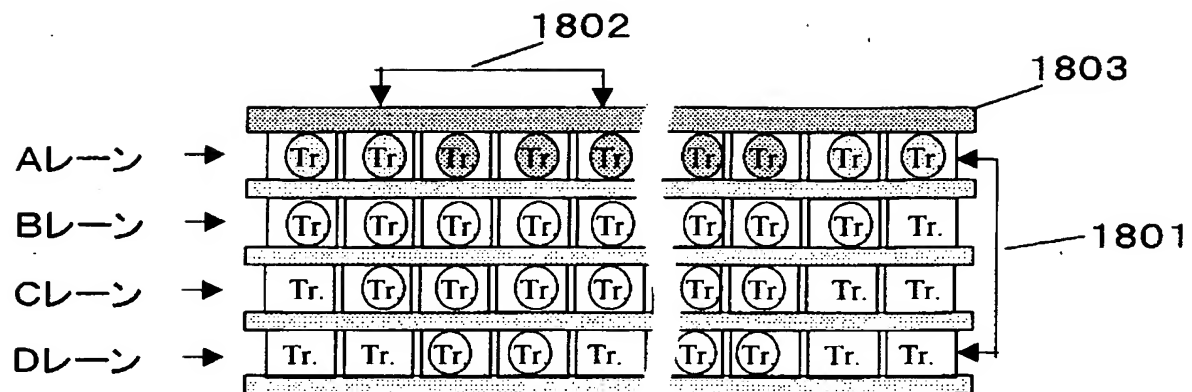
【図 16】



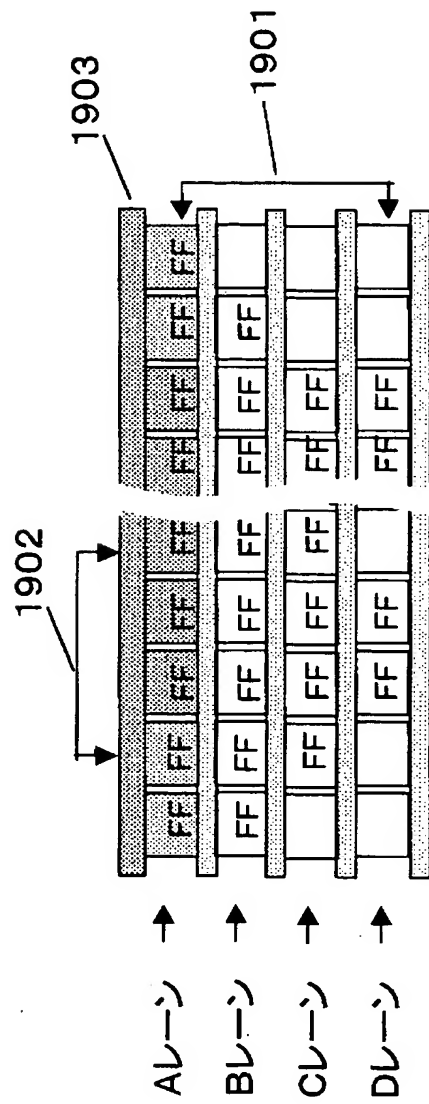
【図 17】



【図 18】



【図 19】





【書類名】 要約書

【要約】

【課題】 電源電圧ドロップの測定に関しては、昨今の大規模なLSIにおいて1チップレベルで実際の動作をシミュレーションして処理できるものではなく、現実的には容易に現象の発生箇所を突き止め、対策を実施するのは困難である。よって、如何に容易に原因の発生箇所を突き止めるかが課題である。

【解決手段】 本発明の半導体集積回路の検証方法は、LSIの外部入力からスキャンFFのクロック入力までの遅延値のばらつきやレイアウト後の各セルの配置レーンに存在するスキャンFFの個数から電源電圧ドロップの発生しやすい箇所を推測するものである。また、電源電圧ドロップの発生しやすい箇所が推測できれば、電圧ドロップに影響しているスキャンFFをマスキレイアウト上で近くに配置しないように散らばす等のマスキレイアウトでの対策を施す事により電源電圧ドロップを抑えるものである。

【選択図】 図16

特願 2 0 0 3 - 0 3 4 8 5 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社